

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-151272

(43)Date of publication of application : 30.05.2000

(51)Int.Cl.

H03B 5/12
H03H 7/12
H03J 5/24
H04N 5/44
H04N 7/10

(21)Application number : 10-317823

(71)Applicant : SHARP CORP

(22)Date of filing : 09.11.1998

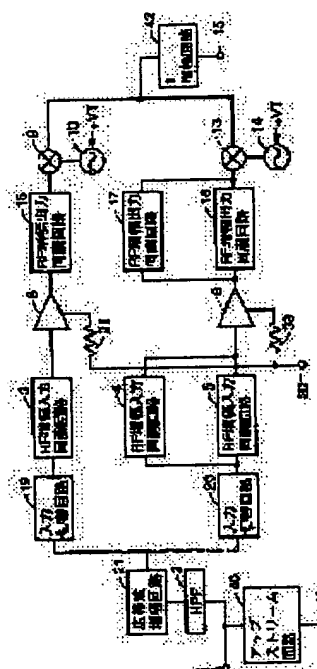
(72)Inventor : MATSUURA SHUJI

(54) TUNER FOR CABLE MODEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a tuner for a cable modem which exerts characteristics improvement.

SOLUTION: In this tuner for a cable modem, a broadband amplifier circuit 21 is inserted to an input circuit side of RF amplifiers 6 and 8. The circuit 21 operates as a buffer amplifier. Therefore, an input tuning characteristics in RF amplification input tuning circuits 3 to 5 is not generated in the inputting state of a tuner, the input impedance characteristics of the circuit 21 reflects input return loss as it is, and the input return loss is reduced drastically. Also, isolation is obtained by the circuit 21, and local leakage mainly with the leakage of oscillation signals of local oscillation circuits 10 and 14 in a tuner inputting stage as main parts is reduced.



LEGAL STATUS

[Date of request for examination]

13.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(11)特許出願公開番号

特開2000-151272

(P2000-151272A)

(43)公開日 平成12年5月30日(2000.5.30)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 3 B 5/12		H 0 3 B 5/12	5 C 0 2 5
H 0 3 H 7/12		H 0 3 H 7/12	5 C 0 6 4
H 0 3 J 5/24		H 0 3 J 5/24	D 5 J 0 2 4
H 0 4 N 5/44		H 0 4 N 5/44	K 5 J 0 8 1
	7/10	7/10	5 J 1 0 3

審査請求 未請求 請求項の数11 O.L (全 15 頁)

(21)出願番号 特願平10-317823

(22) 出願日 平成10年11月9日(1998.11.9)

(71) 出團人 000005049

シャープ株式会社

大阪府大阪市阿倍野区长池町22番22号

(72) 発明者 松浦 修二

大阪府大阪市阿倍野区長池町22番22号 シ

ヤープ株式会社内

(74) 代理人 100064746

弁理士 深見 久郎

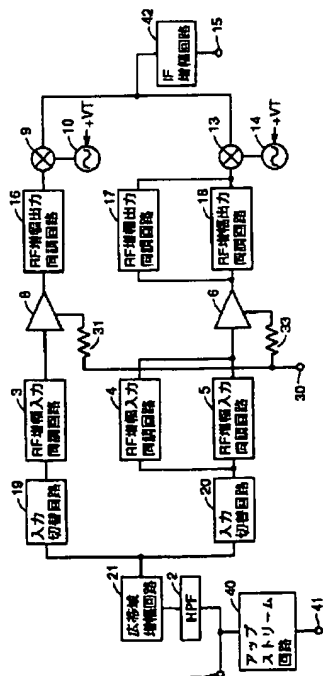
最終頁に続く

(54) 【発明の名称】 ケーブルモデム用チューナ

(57) 【要約】

【課題】 特性改善がなされるケーブルモデム用チューナを提供する。

【解決手段】 ケーブルモデム用チューナにおいてRF増幅器6および8の入力回路側に広帯域増幅回路21が挿入される。回路21は緩衝増幅器として作用する。そのため、該チューナの入力段ではRF増幅入力同調回路3～5における入力同調特性が発生せず、回路21の入力インピーダンス特性がそのまま入力リターンロスとなり、入力リターンロスが大幅に改善される。また、回路21によりアイソレーションが得られ、該チューナの入力段における局部発振回路10および14の発振信号の漏れを主体とするローカルリークageが低減される。



【特許請求の範囲】

【請求項 1】 CATV 信号を受信して入力し高周波信号を抽出して出力する入力部と、前記 CATV 信号の少なくとも 2 つ以上の受信帯域のそれぞれについて設けられて前記入力部側から与えられる信号を入力して増幅しながら同調処理して出力する増幅同調部と、前記増幅同調部のそれぞれに対応して設けられ、前記増幅同調部から出力された信号を入力して与えられる所定信号に従う所望チャンネルに対応の中間周波信号に変換して出力するための周波数変換部とを少なくとも備えたケーブルモデム用チューナであって、

前記入力部と前記増幅同調部との間に設けられて、前記入力部から出力された前記高周波信号を入力して処理し前記増幅同調部に出力する緩衝部をさらに備え、前記緩衝部は、前記入力部と前記増幅同調部との結合を疎にするために設けられることを特徴とする、ケーブルモデム用チューナ。

【請求項 2】 前記緩衝部は、前記入力部から出力された前記高周波信号を入力して、広帯域にわたって増幅して出力する広帯域増幅部を含むことを特徴とする、請求項 1 に記載のケーブルモデム用チューナ。

【請求項 3】 前記広帯域増幅部は、1 段以上に接続された広帯域増幅回路を含むことを特徴とする、請求項 2 に記載のケーブルモデム用チューナ。

【請求項 4】 前記広帯域増幅部は、相補対称型に接続された 2 つの広帯域増幅回路からなる平衡型増幅部を含むことを特徴とする、請求項 2 に記載のケーブルモデム用チューナ。

【請求項 5】 前記広帯域増幅部は、前記平衡型増幅部の入力段および出力段のそれぞれにバレン回路が設けられることを特徴とする、請求項 4 に記載のケーブルモデム用チューナ。

【請求項 6】 前記緩衝部は、前記広帯域増幅部の出力段に設けられて、前記広帯域増幅部の出力信号を入力して前記増幅同調部のそれぞれに分配する信号分配部をさらに備える、請求項 2 ないし 5 のいずれかに記載のケーブルモデム用チューナ。

【請求項 7】 前記緩衝部は、前記広帯域増幅部の入力段に設けられて、前記入力部から前記高周波信号を入力して所望帯域の信号を抽出して前記広帯域増幅部に出力するフィルタ部をさらに備える、請求項 2 ないし 5 のいずれかに記載のケーブルモデム用チューナ。

【請求項 8】 前記フィルタ部は、与えられる前記所定信号に従いカットオフ周波数が可変設定されるローパスフィルタであることを特徴とする、請求項 7 に記載のケーブルモデム用チューナ。

【請求項 9】 前記フィルタ部は、前記少なくとも 2 つ以上の受信帯域のうち所望される受信帯域に応じてカットオフ周波数が可変設定されるローパスフィルタであることを特徴とする、請求項 7 に記載のケーブルモデム用

チューナ。

【請求項 10】 前記緩衝部は、前記広帯域増幅部の入力段および出力段のいずれか一方に設けられる減衰部をさらに備え、

前記減衰部は、前記広帯域増幅部の入力段に設けられた場合には、前記入力部から出力される前記高周波信号を入力して前記増幅同調部および前記周波数変換部にて調整対象となる周波数帯域以外の信号を減衰させて前記広帯域増幅部に出力し、

前記広帯域増幅部の出力段に設けられる場合には、前記広帯域増幅部から出力される信号を入力して、前記増幅同調部および前記周波数変換部にて調整対象となる周波数帯域以外の信号を減衰させて前記増幅同調部に出力することを特徴とする、請求項 2 ないし 5 のいずれかに記載のケーブルモデム用チューナ。

【請求項 11】 前記周波数変換部は、前記所定信号に従う周波数で発振する局部発振回路と前記増幅同調部から出力された信号と前記局部発振回路の発振信号とを混合して前記中間周波信号を出力する混合回路とを含み、前記減衰部は、前記局部発振回路の発振周波数に同調するトラップ回路であることを特徴とする、請求項 10 に記載のケーブルモデム用チューナ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はケーブルモデム用チューナに関し、特に、特性レベルが改善されるケーブルモデム用チューナに関する。

【0002】

【従来の技術】CATV では各家庭の引込線には同軸ケーブルを採用し、幹線には光ファイバケーブルを採用した HFC (Hybrid Fiber/Coax の略) が導入されつつある。

【0003】HFC は各家庭に数 M ビット/秒の広帯域のデータ通信サービスを提供するために採用される。HFC を用いれば 64 QAM (quadrature amplitude modulation の略) 方式であっても帯域幅 6 MHz を有して伝送速度 30 M ビット/秒の高速データラインを提供できる。

【0004】上述の高速データラインにケーブルモデムが使用されることにより、CATV の空きチャンネルを利用した 4 M ビット/秒～27 M ビット/秒の高速データ通信が実現される。上述したケーブルモデムはチューナを有し、ケーブルモデム用チューナは 470～86 MHz を有する UHF バンド (B3 バンド)、170～470 MHz を有する VHF High バンド (B2 バンド) および 54～170 MHz を有する VHF Low バンド (B1 バンド) のそれぞれについて受信回路を有する。ただし、バンド分割はこれに特定されない。

【0005】図 16 は従来のケーブルモデム用チューナのブロック図である。図 16 において従来のケーブルモ

デム用チューナは、図示されないケーブル回線と該チューナを通信接続するための入力端子 1、HPF（ハイパスフィルタの略）2、アップストリーム回路 40、データ端子 41、受信信号を UHF 信号と VHF 信号とに切換えて入力するための入力切換回路 19 および 20、受信信号を入力して端子 30 から抵抗 31 と 33 を経由して与えられる AGC（自動利得制御）電圧に従い所定レベルにまで増幅して出力するための高周波（以下、RF と略す）増幅器 6 および 8、RF 増幅器 6 および 8 の入力段に設けられる RF 増幅入力同調回路 3～5、同じく出力段に設けられる RF 増幅出力同調回路 16～18、混合回路 9 および 13、局部発振回路 10 および 14、IF（中間周波の略）増幅回路 42 および出力端子 15 を含む。

【0006】CATV 信号はケーブルモデム用チューナから端子 1 を介してケーブル回線に送出される上り信号とケーブル回線から端子 1 を介してケーブルモデム用チューナに受信される下り信号を含む。上り信号は 5～42 MHz にて、また下り信号は 54～860 MHz にて運用される。

【0007】上り信号には図示されない QPSK（直交位相変位変調）送信器からデータ端子 41 に与えられる直交位相変位変調されたデータ信号が含まれる。データ信号は端子 41、アップストリーム回路 40 および入力端子 1 を介してケーブル回線に送出される。

【0008】端子 1 から受信した下り信号は HPF（IF フィルタ）2 を通過の後、入力切換回路 19 と 20 に与えられて、ここで以降の UHF BAND、VHF HIGH BAND、および VHF LOW BAND のいずれか 1 つの受信回路に切換えて出力される。

【0009】HPF 2 は 5～46 MHz を減衰域として 54 MHz 以上を通過帯域とするフィルタである。各バンドの受信回路のうち所望される受信チャンネルに対応の受信回路のみ動作状態となり、他のバンドの受信回路は動作しない機能となっている。

【0010】次に、各バンドの受信回路の動作状態を説明する。下り信号は入力切換回路 19 と 20 を通った後、RF 増幅入力同調回路 3～5 のいずれか 1 つに与えられる。ここでは所望受信チャンネルに対応の所定信号に同調して出力され RF 増幅器 6 および 8 のいずれか一方において増幅される。その後、RF 増幅出力同調回路 16～18 のいずれか 1 つにおいて再度、所定信号に同調して出力され、混合回路 9 および 13 のいずれか 1 つに与えられる。

【0011】RF 増幅出力同調回路 16～18 のいずれか 1 つより出力された信号は混合回路 9 および 13 のいずれか 1 つにおいて対応する局部発振回路 10 および 14 のいずれかの発振信号と混合されて IF 信号に変換されて、IF 増幅回路 42 に出力される。IF 増幅回路 42 では IF 信号は増幅されて出力端子 15 を介して出力

される。

【0012】上述したように、局部発振回路 10 および混合回路 9 ならびに局部発振回路 14 および混合回路 13 のそれぞれは、RF 信号を所望される受信チャンネルに対応の IF 信号に変換するための周波数変換部である。局部発振回路 10 および 14 のそれぞれは、所望受信チャンネルに対応する同調電圧 +VT が印加されることにより、所望受信チャンネルに対応の周波数で発振する。

10 【0013】

【発明が解決しようとする課題】近年はケーブルモデムのフロントエンドであるチューナに関連の特性レベルの改善が望まれている。たとえば北米向けケーブルモデムでは MCNS（multimedia cable network system の略）の規格が制定されようとしており、ケーブルモデムのチューナに関連の入力リターンロスおよびスプリアスエミッションの改善が望まれる。

20 【0014】図 17 は、図 16 の入力端子 1 における受信周波数と入力リターンロスとの関係をグラフにして示す図である。図 17 では、縦軸に入力リターンロス（dB）が採られ横軸には受信可能な周波数（MHz）が採られる。

30 【0015】図 16 では RF 増幅入力同調回路 3～5 は入力切換回路 19 と 20 ならびに HPF 2 を通して入力端子 1 に接続される。このため、入力端子 1 側からみた入力インピーダンスは、そのままの RF 増幅入力同調回路 3～5 の同調特性となる。そのため、図 17 に示されるようにたとえば、受信周波数 f_p で入力端子 1 における入力リターンロスが低く、十分に確保することは困難であった。また、すべての受信帯域にわたり入力リターンロスを補償することは不可能である。

40 【0016】また、局部発振回路 10 と 14 によるローカルリケージを主体とするスプリアスエミッションが RF 増幅出力同調回路 16～18、RF 増幅回路 6 と 8、RF 増幅入力同調回路 3～5、入力切換回路 19 と 20、ならびに HPF 2 を介して入力端子 1 において -10 dBmV ～ -30 dBmV 検出される。そのため、入力端子 1 における受信信号にノイズが混入して好ましい同調動作に支障をきたした。それゆえに、たとえば MCNS ではスプリアスエミッションについて -40 dBmV までの改善が要求されている。

【0017】それゆえにこの発明の目的は、特性の改善が図られたケーブルモデム用チューナを提供することである。

【0018】

【課題を解決するための手段】請求項 1 に係るケーブルモデム用チューナは、CATV 信号を受信して入力し高周波信号を抽出して出力する入力部と、CATV 信号の少なくとも 2 つ以上の受信帯域のそれぞれについて設けられ入力部側から与えられる信号を入力して増幅しなが

ら同調処理して出力する増幅同調部と、増幅同調部のそれぞれに対応して設けられ、増幅同調部から出力された信号を入力して与えられる所定信号に従う所望チャネルに対応の中間周波信号に変換して出力する周波数変換部とを少なくとも備えるものにおいて、さらに緩衝部を備えることを特徴とする。

【0019】この緩衝部は、入力部と増幅同調部との間に設けられて、入力部から出力された高周波信号を入力して処理し増幅同調部に出力する。この場合、緩衝部は、入力部と増幅同調部との結合を疎にするために設けられる。

【0020】請求項1に従えば緩衝部により入力部と増幅同調部とは疎にして結合されるので、入力部においては増幅同調部の同調特性が発生しなくなつてその分入力リターンロスが改善されて受信品質は向上する。

【0021】また、緩衝部により入力部と増幅同調部および周波数変換部とのアイソレーションが得られることで、入力部における増幅同調部および周波数変換部側からのローカルリケージは低減されて受信品質は良好となる。

【0022】請求項2に記載のケーブルモデム用チューナは請求項1に記載のケーブルモデム用チューナにおける緩衝部が、入力部から出力された高周波信号を入力して、広帯域にわたって増幅して出力する広帯域増幅部を含んで構成される。

【0023】請求項2に従えば、緩衝部には広帯域のCATV信号について増幅動作するバッファとしての広帯域増幅部が含まれるので、入力部においては広帯域増幅部の入力インピーダンス特性がそのまま入力リターンロスとなる。結果として入力部における入力リターンロスが改善されて受信品質は良好となる。

【0024】また、広帯域増幅部により入力部と増幅同調部および周波数変換部とのアイソレーションが得られるので、入力部における増幅同調部および周波数変換部側からのローカルリケージは低減されて受信品質は良好となる。

【0025】請求項3に係るケーブルモデム用チューナは、請求項2のケーブルモデム用チューナにおける広帯域増幅部が、1段以上に接続された広帯域増幅回路を含んで構成される。

【0026】請求項3に従えば、広帯域増幅部を、広帯域増幅回路を1段以上に接続して構成して、入力リターンロスおよびローカルリケージの改善を図ることができる。

【0027】請求項4に係るケーブルモデム用チューナは、請求項2のケーブルモデム用チューナにおける広帯域増幅部が、相補対称型に接続された2つの広帯域増幅回路からなる平衡型増幅部を含んで構成される。

【0028】請求項4に従えば、広帯域増幅部を広帯域増幅回路を相補対称型に接続した平衡型増幅部で構成し

て、入力リターンロスおよびローカルリケージの低減を図ることができる。

【0029】請求項5に係るケーブルモデム用チューナは、請求項4のケーブルモデム用チューナにおける広帯域増幅部が、平衡型増幅部の入力段および出力段のそれぞれにバルン回路が設けられて構成される。

【0030】請求項5に従えば平衡型増幅部の入力段および出力段のそれぞれにバルン回路が設けられることにより、さらに入力部と増幅同調部および周波数変換部とのアイソレーションが推進される。これにより、入力部におけるローカルリケージがさらに低減されて受信品質は良好となる。

【0031】請求項6に記載のケーブルモデム用チューナは、請求項2ないし5のいずれかに記載のケーブルモデム用チューナにおける緩衝部が、広帯域増幅部の出力段に設けられて広帯域増幅部の出力信号を入力して増幅同調部のそれぞれに分配する信号分配部をさらに備えて構成される。

【0032】請求項6に従えば、信号分配部が設けられることにより、入力部と増幅同調部および周波数変換部とのアイソレーションがさらに図られるので、入力部におけるローカルリケージはさらに低減されて受信品質は向上する。

【0033】請求項7に記載のケーブルモデム用チューナは、請求項2ないし5のいずれかに記載のケーブルモデム用チューナにおける緩衝部が、広帯域増幅部の入力段に設けられて入力部から高周波信号を入力して所望帯域の信号を抽出して広帯域増幅部に出力するフィルタ部をさらに備えて構成される。

【0034】請求項7に従えば、フィルタ部は入力部から出力された高周波信号のうち、所望帯域の信号のみを次段以降の回路部に出力するので、所望帯域以外の信号が次段以降の回路部に与えられることが回避される。結果として、入力部における増幅同調部ならびに周波数変換部からのローカルリケージは低減されて受信品質は向上する。

【0035】請求項8に記載のケーブルモデム用チューナは、請求項7に記載のケーブルモデム用チューナのフィルタ部が、与えられる所定信号に従いカットオフ周波数が可変設定されるローパスフィルタであるよう構成される。

【0036】請求項8に従えば、ローパスフィルタのカットオフ周波数を与えられる所定信号に従って可変設定できるので、容易に所望される帯域の信号のみを次段以降の回路部に与えることができる。これにより、前述のように入力部におけるローカルリケージを所望するように低減できて、受信品質を向上させることができる。

【0037】請求項9に記載のケーブルモデム用チューナは、請求項7に記載のケーブルモデム用チューナのフィルタ部が、少なくとも2つ以上の受信帯域のうち所望

される受信帯域に応じて、カットオフ周波数が可変設定されるローパスフィルタであるよう構成される。

【0038】請求項9に従えば、ローパスフィルタのカットオフ周波数をCATV信号の複数の受信帯域のうちの所望される帯域に従って可変設定できるので、容易に所望される帯域の信号のみを次段以降の回路部に与えることができる。これにより、前述したように入力部におけるローカルリケージを所望するように低減でき、受信品質を向上させることができる。

【0039】請求項10に記載のケーブルモデム用チューナは、請求項2ないし5のいずれかに記載のケーブルモデム用チューナにおける緩衝部が、広帯域増幅部の入力段および出力段のいずれか一方に設けられる減衰部をさらに備える。

【0040】この減衰部は、広帯域増幅部の入力段に設けられた場合には、入力部から出力される高周波信号を入力して増幅同調部および周波数変換部にて調整対象となる周波数帯域以外の信号を減衰させて広帯域増幅部に出力する。また、広帯域増幅部の出力段に設けられた場合には、広帯域増幅部から出力される信号を入力して増幅同調部および周波数変換部にて調整対象となる周波数帯域以外の信号を減衰させて増幅同調部に出力する。

【0041】請求項10に従えば、減衰部により広帯域増幅部の入出力段における調整対象となる周波数帯域以外の信号は、すなわちローカルリケージは効果的に減衰させられて、受信品質は向上する。

【0042】請求項11に記載のケーブルモデム用チューナは請求項10に記載のケーブルモデム用チューナにおける周波数変換部が、所定信号に従う周波数で発振する局部発振回路と、増幅同調部から出力された信号と局部発振回路の発振信号とを混合して中間周波信号を出力する混合回路とを含む。そして、減衰部は、局部発振回路の発振周波数に同調するトラップ回路で構成される。

【0043】請求項11に従えば、トラップ回路は局部発振回路の発振周波数に同調しながら動作して、局部発振回路によるローカルリケージを対象にして減衰するよう作用する。したがって入力部における局部発振回路による信号漏れを主体とするローカルリケージは効果的に減衰されて受信品質は向上する。

【0044】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照し説明する。なお、後述する各回路の値は、参照値であり保証値ではない。

【0045】【実施の形態1】図1は、この発明の実施の形態1によるブロック図である。図1のケーブルモデム用チューナの構成において図16の従来のそれと異なる点は、HPF2と入力切換回路19および20との間に広帯域信号であるCATV信号について増幅動作するための広帯域増幅回路21を追加している点にある。その他の構成は図16のそれと同様であり説明は省略す

る。

【0046】図2は、図1の入力端子1における受信周波数と入力リターンロスとの関係をグラフにして示す図である。図2では、縦軸に入力リターンロス(dB)が採られ横軸には受信可能な周波数(MHz)が採られる。

【0047】入力切換回路19および20とHPF2との間に広帯域増幅回路21が直列に挿入して設けられたことにより広帯域増幅回路21が緩衝増幅器として動作してHPF2側の回路群と入力切換回路19および20以降の回路群との結合が疎となって、RF増幅入力同調回路3~5の同調特性が入力端子1にて検出されない。いいかえれば、入力端子1側からみた入力インピーダンス特性(入力リターンロス)は広帯域増幅回路21の有する入力インピーダンス特性となって、図2に示されるようにたとえば、受信周波数fpで入力端子1において図17の従来よりも大幅に入力リターンロスの改善が図られる。

【0048】ここで、入出力信号の除去比、いわゆるアイソレーションについて考察する。図1の場合、広帯域増幅回路21によるアイソレーションは広帯域増幅回路21の出力端から信号が印加された場合に、その入力端にて出力される該信号の減衰比(除去比)を指す。広帯域増幅回路21によれば、この減衰比は極めて高い。

【0049】このように、広帯域増幅回路21によればアイソレーションは効果的に得られるので、入力端子1側における局部発振回路10および14によるローカルリケージは広帯域増幅回路21により十分に減衰されて、受信品質は向上する。それゆえに、RF増幅入力同調回路3~5側におけるスプリアスエミッションも十分に低減されて良好な同調動作が得られる。

【0050】以下、図1の実施の形態1による広帯域増幅回路21の構成例について次の実施例1~3を参照し説明する。

【0051】(実施例1)図3は、この発明の実施の形態1における実施例1に係る広帯域増幅回路のブロック構成図である。図3の広帯域増幅回路21Aは、直流阻止コンデンサC1およびC3、インピーダンス整合のための整合用インダクタL1、増幅回路1A、および減衰回路211を含む。

【0052】増幅回路1Aは直流阻止コンデンサC1および整合用インダクタL1を介してHPF2の出力段に直列接続され、減衰回路211は広帯域増幅回路21Aの出力段に直流阻止コンデンサC3を介して増幅回路1Aに直列接続される。

【0053】増幅回路1AはMOSFET(Metal Oxide Semiconductor Field Effect Transistorの略)である増幅素子Q1および増幅素子Q1のソース電極を接地するためのバイパスコンデンサC4およびC5ならびにバイパス抵抗R1、増幅素子Q1のドレイン電極とゲー

ト電極とを接続する電圧帰還路、増幅素子Q1に端子T1から電源電圧+Bを安定供給するための接地用バイパスコンデンサC6および高周波インダクタであるチョークコイルL2を含む。

【0054】前述の電圧帰還路は、直流阻止コンデンサC2、バイアス抵抗R2およびR4ならびに電圧帰還のための抵抗R3を含む。前述の減衰回路211は抵抗R5〜R7からなる。

【0055】ここでは、直流阻止コンデンサは、前段回路の直流電圧が次段回路の入力に加えられずに、交流的に両回路が結合されるようにするために用いられる。整合用インダクタまたは整合用コンデンサは一方端のインピーダンスと他方端のインピーダンスとを整合させるために用いられる。

【0056】動作において、入力端子1およびHPF2を通過した下りのCATV信号は直流阻止コンデンサC1および整合用インダクタL1を介して増幅回路1A中の増幅素子Q1のゲート電極に与えられる。

【0057】また、増幅素子Q1にはチョークコイルL2およびバイパスコンデンサC6を介して電源電圧+Bが供給されてバイアス抵抗R1、R2およびR4を介して直流バイアスが設定される。

【0058】増幅素子Q1のゲート電極に与えられたCATV信号は電圧帰還路を介して増幅された後に、出力側負荷である減衰回路211および電圧帰還抵抗R3により分圧されて、次段の入力切替回路19と20に与えられる。

【0059】図3の広帯域増幅回路21においては、利得に関して減衰回路211において−4dBが得られ、増幅回路1Aにおいて5〜6dBが得られて、最終的に1〜2dBの利得が得られるように設計される。

【0060】具体的には、図3においてコンデンサC1〜C6は1000pF〜10000pF、抵抗R1は47Ω、抵抗R2は120kΩ、抵抗R4は270kΩ、抵抗R3は330Ω、抵抗R5とR6は220Ω、抵抗R7は24Ω、インダクタL1は6.8nH、およびコイルL2は1μHの値を有する。

【0061】（実施例2）図4はこの発明の実施の形態1における実施例2に係る広帯域増幅回路のブロック図である。図1の広帯域増幅回路21は図4の構成であってもよい。図4の広帯域増幅回路21Bは、図3の増幅素子Q1がバイポーラ型のトランジスタである増幅素子Q11で代替されている。広帯域増幅回路21Bの増幅素子Q11を除く他の構成は図3のそれと同様であるから説明は省略する。

【0062】図4の各素子の値は、抵抗R1は27〜47Ωを有する。その他の素子の値は図3のそれと同じである。

【0063】なお、広帯域増幅回路21に増幅素子Q11のようにバイポーラ型のトランジスタである増幅素子

が採用された場合、トランジスタのベース電極には常に数10mAの電流供給が必要であるから発熱に注意する必要がある。また、相互変調歪の劣化にも注意する必要がある。

【0064】図3および図4の広帯域増幅回路21Aおよび21Bは同様の性能を有して入力リターンロスおよびローカルリレーの改善が可能である。

【0065】（実施例3）図5は、この発明の実施の形態1における実施例3に係る広帯域増幅回路のブロック図である。図1の広帯域増幅回路21は図5のように構成されてもよい。

【0066】図5において広帯域増幅回路21Cは、図3で示された増幅回路1Aと図4で示されたのと同様のバイポーラ型トランジスタの増幅素子Q2による増幅回路1Cとがカスケード接続された多段増幅回路と、多段増幅回路の出力側に直流阻止コンデンサC9を介して接続される前述の減衰回路211を含む。広帯域増幅回路21Cでは増幅素子Q1とQ2との組合せによる増幅動作による利得が得られる。多段増幅回路の接続段数は2段に限定されない。

【0067】増幅回路1Aの出力段には直流阻止コンデンサC3を介して増幅回路1Cが接続される。

【0068】増幅素子Q2には増幅素子Q1と同様にチョークコイルL3ならびにバイパスコンデンサC8を介して端子T1から電源電圧+Bが供給される。また、増幅素子Q2にはバイアス抵抗R10およびR9を介して直流バイアスが供給される。

【0069】動作において、入力端子1およびHPF2を介して入力した下りのCATV信号は、直流阻止コンデンサC1および整合用インダクタL1を介して、増幅素子Q1のゲート電極に印加される。

【0070】増幅素子Q1に供給された信号は増幅された後に、増幅素子Q1の出力側の負荷および電圧帰還抵抗R3により分圧されて出力される。

【0071】増幅素子Q1に関する負荷側の出力信号は直流阻止コンデンサC3を介して次段の増幅素子Q2のベース電極に印加される。増幅素子Q2において供給された信号は、前段の増幅素子Q1と同様に増幅されて、減衰回路211に出力される。

【0072】なお、バイアス抵抗R10は増幅素子Q2のバイアス抵抗であると同時に電流帰還抵抗であり歪みを低減させるよう作用する。また、バイアス抵抗R10は電圧帰還抵抗R8と併用されて、増幅素子Q2における増幅動作に関する利得を決定するよう作用する。

【0073】図5の広帯域増幅回路21Cでは、増幅素子Q1とQ2を含む増幅回路において8〜10dBの利得が得られ、減衰回路211において−4dBの利得が得られて、結果として4〜6dBの利得が得られるよう設計される。

【0074】具体的には、コンデンサC1〜C9は10

00~10000 pF、コイルL1は6.8 nH、コイルL2とL3は1 μH、抵抗R1は47 Ω、抵抗R2は120 kΩ、抵抗R3は330 Ω、抵抗R4は270 kΩ、抵抗R5とR6は220 Ω、抵抗R7は24 Ω、抵抗R8は330 Ω、抵抗R9は18 kΩ、および抵抗R10は47 Ωの値を有する。

【0075】〔実施の形態2〕図6は、この発明の実施の形態2によるケーブルモデム用チューナのブロック図である。

【0076】図6のケーブルモデム用チューナの構成において図1のそれと異なる点は、広帯域増幅回路21と入力切換回路19および20との間に信号分配回路22を追加して設けた点にある。図6の他の構成は図1のそれと同様であるから説明は省略する。

【0077】図6では広帯域増幅回路21と信号分配回路22とが採用されることにより特にローカルリケージの改善が図られる。

【0078】広帯域増幅回路21のみが採用される図1の場合には、アイソレーションが15~20 dB得られるが、図6の場合には20~25 dB前後得られる。

【0079】図6の広帯域増幅回路21と信号分配回路22の回路構成例が次の実施例1と2で示される。

【0080】〔実施例1〕図7は、この発明の実施の形態2における実施例1に係る広帯域増幅回路と信号分配回路のブロック図である。

【0081】図7の広帯域増幅回路21Dは出力段に負荷回路として信号分配回路22Aが接続される。これにより、さらにアイソレーションが改善される。

【0082】広帯域増幅回路21Dは直流阻止コンデンサC1および整合用インダクタL1を介してHPF2の出力段に接続される増幅回路1Dを含む。増幅回路1Dと図2の増幅回路1Aと比較して異なる点は、増幅回路1AのチョークコイルL2がコイルL21に代替された点にある。増幅回路1Dのその他の構成は増幅回路1Aのそれと同じであり、説明を省略する。

【0083】信号分配回路22Aは、コイルL21、直流阻止コンデンサC3、整合用コンデンサC7、バイアス抵抗R5、および入力切換回路19および20のいずれか一方に信号を出力するための回路を含む。この回路は、コイルL3に並列接続されるヌル抵抗R6、信号切換用ダイオードD1およびD2、信号切換用ダイオードD1およびD2のそれぞれに直列接続される直流阻止コンデンサC8およびC9、信号切換用ダイオードD1およびD2のためのバイアス抵抗R7およびR8、ならびに端子T2およびT3を含む。端子T2およびT3のいずれか一方に所定電圧が印加される。具体的には、端子T3にはVHFバンド回路動作時には+VB、端子T2にはUHFバンド回路動作時には+UBの電圧が印加される。

【0084】動作において、増幅回路1Dの出力信号は

コイルL21から出力されて直流阻止コンデンサC3および整合用コンデンサC7を介してコイルL3に与えられる。コイルL3に与えられた信号はダイオードD1側およびダイオードD2側の経路に分配される。端子T3より電圧+UBが供給されるときは、信号はダイオードD1および直流阻止コンデンサC8を仲介して入力切換回路19に与えられる。一方、端子T2より電圧+VBが供給されるときは信号はダイオードD2および直流阻止コンデンサC9を介して入力切換回路20に与えられる。

【0085】上述した動作において、コイルL21とL3とによりバラン(balun)回路が形成されるので、特性インピーダンスが異なる2つの回路(増幅回路21Dと入力切換回路19への線路および入力切換回路20への線路)からなる平衡回路を含む信号分配回路22Aを接続してもその接続点で反射(reflection)が生じることがなく、ローカルリケージが良好に改善される。

【0086】このようにコイルL21とL3により形成される回路はインピーダンス整合のための整合バラン回路または2分配バラン回路となる。

【0087】図7の回路において、コンデンサC7は1~3 pF、抵抗R6は150 Ω、抵抗R5、R7およびR8は1.5 kΩ、ならびにコンデンサC8とC9は1000 pFの値を有する。その他の素子の値は図2のそれと同じである。

【0088】〔実施例2〕図8はこの発明の実施の形態2における実施例2に係る広帯域増幅回路と信号分配回路とのブロック図である。図6に示された広帯域増幅回路21と信号分配回路22とは図8に示されるような広帯域増幅回路21Eと信号分配回路22Bで構成されてもよい。

【0089】図8において、HPF2の出力段には直流阻止コンデンサC1および平衡不平衡変換トランスL31を介して増幅回路1Eを含む広帯域増幅回路21Eが接続される。

【0090】増幅回路1Eは、増幅素子Q1およびQ2をそれぞれ含む図7の増幅回路1Dを2つ相補対称型に接続した平衡型増幅回路であり、増幅素子Q1およびQ2に関する動作は図3のそれと同じである。

【0091】なお、増幅回路1Eの出力段には増幅素子Q1とQ2の負荷であるインピーダンス変換用トランスL22、平衡不平衡変換トランスL23、直流阻止コンデンサC8、および減衰回路211を構成する抵抗R8~R10を介して信号を分配する回路が接続される。

【0092】この信号を分配するための回路は図7と同様に動作する。つまり、UHFバンド回路の動作時は電源電圧+UBが端子T5に供給されて信号切換用ダイオードD1および直流阻止コンデンサC10を介して信号は入力切換回路19に与えられる。一方、VHFバンド

回路動作時は、端子 T 4 を介し電源電圧 + V B が供給されて信号切換用ダイオード D 2 および直流阻止コンデンサ C 9 を介して信号は入力切換回路 20 に与えられる。

【0093】図 8 の回路の動作において、入力端子 1 および H P F 2 側から広帯域増幅回路 21 E に与えられた信号は、平衡型増幅器である増幅回路 1 E において増幅される。このとき、増幅回路 1 E の増幅素子 Q 1 と Q 2 は相補対称型で平衡型増幅動作する。言い換えれば、増幅素子 Q 1 と Q 2 のそれぞれは逆位相で半周期ごとに動作するので、その合成後の出力レベルは合成前の出力レベルよりも 3 d B だけ高くなる。

【0094】増幅回路 1 E からの出力信号は平衡不平衡変換トランス L 23 および直流阻止コンデンサ C 8 ならびに減衰回路 211 を介して、前述した信号を分配するための回路を介して入力切換回路 19 および 20 のいずれか一方に与えられる。

【0095】図 8 の回路は、図 5 のそれに比較してアイソレーションに優れ、図 5 では 15 ~ 20 d B 得られるのに対して図 8 では 20 ~ 25 d B も得られる。

【0096】なお、図 5 と図 8 の広帯域増幅回路 21 C と 21 E と、図 3、図 4 および図 7 の広帯域増幅回路 21 A、21 B および 21 D とを比較した場合、後者では利得がほぼ 0 d B であるが、前者では数 d B の利得を有する。また、入力リターンロスおよびローカルリケージは両者においてほぼ同レベルの改善が図られる。特に、図 8 の回路では、平衡不平衡変換トランス L 31 および L 23 の位相変換のための 2 つのフロートバレーンが広帯域増幅回路 21 E の入出力段にそれぞれ設けられているので、アイソレーションにおいて 20 d B 以上の改善効果を得ることができる。

【0097】図 8 の回路では、コンデンサ C 1 ~ C 10 は 1000 ~ 10000 p F、抵抗 R 3 と R 5 は 330 Ω 、抵抗 R 4 と R 6 は 270 k Ω 、抵抗 R 2 と R 7 は 120 k Ω 、R 1 は 47 Ω 、R 8 と R 9 は 220 Ω 、R 10 は 24 Ω 、および R 11 と R 12 は 1 k Ω の値を有する。

【0098】【実施の形態 3】図 9 は、この発明の実施の形態 3 によるケーブルモデム用チューナのブロック図である。図 9 のケーブルモデム用チューナの構成において図 1 のそれと異なる点は、広帯域増幅回路 21 と H P F 2 との間に L P F 23 を追加して設けてアイソレーションの改善が図られた点にある。図 9 の他の構成は図 1 のそれと同じであるから説明を省略する。

【0099】L P F 23 のカットオフ周波数 f_c は局部発振回路 10 (14) の局部発振周波数により決定される。図 10 は図 9 の L P F 23 における入力信号の周波数と減衰量との関係をグラフにして示す図である。図 10 では横軸に入力信号の周波数 f (M H z) がとられ縦軸に減衰量 (d B) がとられる。図示されるように、局部発振周波数 f_1 で決定される減衰量が -3 d B となる

付近でカットオフ周波数 f_c が設定される。

【0100】図 9 の広帯域増幅回路 21 と L P F 23 の回路構成が次の実施例 1 と 2 で示される。

【0101】（実施例 1）図 11 は、この発明の実施の形態 3 における実施例 1 に係る広帯域増幅回路と L P F のブロック構成図である。

【0102】図 11 において、H P F 2 と入力切換回路 19 および 20 との間には L P F 231 と広帯域増幅回路 21 F が直列接続される。

【0103】L P F 231 は、インダクタ L 41 ~ L 46、コンデンサ C 41 と C 48 ~ C 51、直流阻止コンデンサ C 47、バイアス抵抗 R 47、所望される受信チャネルに対応の同調電圧 + V T が印加される端子 T 10、ならびに可変容量ダイオード D 41 を含む。

【0104】L P F 231 では可変容量ダイオード D 41 が適用されて端子 T 10 から局部発振回路 10 (14) に印加されるのと同じ同調電圧 + V T の入力に従い信号の減衰量が -3 d B になる周波数 (カットオフ周波数 f_c) が可変設定される。

【0105】広帯域増幅回路 21 F は増幅回路 1 F と抵抗 R 5 ~ R 7 からなる減衰回路 211 とを直列に接続する。増幅回路 1 F は図 3 に示された増幅回路 1 A と同様の構成を有するので説明は省略する。

【0106】なお増幅回路 1 F では 5 ~ 6 d B の利得が得られ、減衰回路 211 にて -4 d B の利得が得られるようにして、広帯域増幅回路 21 F において 1 ~ 2 d B の利得が得られるように設計される。

【0107】動作において、入力端子 1 と H P F 2 を介して L P F 231 に信号が与えられると L P F 231 では設定されるカットオフ周波数 f_c に従う帯域の信号が通過して広帯域増幅回路 21 F に与えられる。

【0108】このように、L P F 231 では同調電圧 + V T により設定されるカットオフ周波数 f_c に従う帯域の信号のみが通過するから、受信チャネルに対応の調整帯域以外の信号は効果的に減衰されて、次段の回路には与えられないよう動作する。

【0109】広帯域増幅回路 21 F では、入力信号が増幅回路 1 F において図 3 と同様にして増幅された後に減衰回路 211 において減衰されて、入力切換回路 19 および 20 へ出力される。

【0110】（実施例 2）図 12 は、この発明の実施の形態 3 における実施例 2 に係る広帯域増幅回路と L P F のブロック図である。図 9 の広帯域増幅回路 21 と L P F 23 は図 12 の広帯域増幅回路 21 F と L P F 232 のように構成されてよい。

【0111】図 11 の回路構成と図 12 のそれとを比較して異なる点は、図 11 の L P F 231 が図 12 の L P F 232 で代替されている点にある。図 12 のその他の構成は図 11 のそれと同じなので説明は省略する。

【0112】図 12 の L P F 232 と図 11 の L P F 2

31と比較して異なる点は、LPF232はLPF231の可変容量ダイオードD41代替して、コンデンサC52とSW（スイッチングの略）ダイオードD42の並列回路を設けた点にある。LPF232のその他の構成はLPF231のそれと同じであり説明は省略する。

【0113】LPF232では端子T7からVHF信号受信のための回路（入力切換回路20以降の回路）動作時の電源電圧+VBの印加の有無に応じて、SWダイオードD42がON/OFF制御されて、コンデンサC47とC52による容量成分の切換が行なわれ、LPF232のカットオフ周波数 f_c が切換えられる。したがってLPF232では所望される受信周波数帯域に応じてカットオフ周波数 f_c が切換えられる。このようにLPF23によりローカルリケージが低減（減衰）される。

【0114】図13は、図11と図12のLPFが併用された回路構成を示す図である。図13に示されるようにLPF231と232のカットオフ周波数 f_c の切換手法を併用してもよい。この場合、所望される受信バンド（UHFバンドおよびVHFバンドのいずれか一方）と所望される受信チャネルとの両方に基づいてカットオフ周波数 f_c が切換えられることにより、さらにローカルリケージが効果的に低減（減衰）される。

【0115】図11および図12の回路では、増幅回路1Fにおいて5〜6dBの利得を有し、減衰回路211において−4dBの利得を有して、最終的に1〜2dBの利得を有するよう設計される。具体的には、図11においてコンデンサC41、C2〜C6およびC47は1000〜10000pF、コンデンサC50およびC51は5pF、コンデンサC48およびC49は1pF、コイルL6は1μH、抵抗R1は47Ω、抵抗R2は180kΩ、抵抗R3は330Ω、抵抗R4は270kΩ、抵抗R5とR6は220Ω、抵抗R7は24Ω、および抵抗R47は47kΩの値を有する。図12の回路では、コンデンサC52は10pFおよび抵抗R48は2.2kΩの値を有する。図12のその他の各素子の値は図11のそれと同じである。

【0116】〔実施の形態4〕図14は、この発明の実施の形態4によるケーブルモデム用チューナのブロック構成図である。図14のケーブルモデム用チューナの構成において図1のそれと異なる点は、広帯域増幅回路21と入出力切換回路19および20との間にローカルリケージ低減のための可変型トラップ回路24を追加して設けている点にある。図14のその他の構成は図1のそれと同じであるから説明は省略する。なお、ここでは、可変型トラップ回路24を広帯域増幅回路21の出力段に設けたが入力段に設けても同様の効果を奏する。

【0117】図14の広帯域増幅回路21と可変型トラップ回路24の回路構成が次の実施例1で示される。

【0118】（実施例1）図15はこの発明の実施の形態4における実施例1に係る広帯域増幅回路と可変型ト

ラップ回路のブロック図である。図15において、HPF2と入力切換回路19および20との間に広帯域増幅回路21G、可変型トラップ回路241および抵抗R5〜R7からなる減衰回路211が接続される。

【0119】図15の回路では、図2の増幅回路1Aと同様に構成された増幅回路1Gを含む広帯域増幅回路21Gの出力段に直流阻止コンデンサC3とC13を介して減衰回路211が接続される。さらに、広帯域増幅回路21Gと減衰回路211との接続線路の途中には接続線路上におけるローカルリケージ信号に対する可変型トラップ回路241が接続される。

【0120】可変型トラップ回路241は、直流阻止コンデンサC14、共振用可変容量ダイオードD9、共振用インダクタ（トラップコイル）L58、バイアス抵抗R58ならびに端子T9を含む。共振用可変容量ダイオードD9およびこれに並列接続される共振用インダクタL58により共振回路が構成される。

【0121】端子T9からは所望される受信チャネルに対応して可変設定される同調電圧+VTがバイアス抵抗R8を介して共振用可変容量ダイオードD9に印加される。これにより、共振用可変容量ダイオードD9および共振用インダクタL58からなる共振回路は後段の局部発振回路10または14の局部発振周波数またはそれ以上の共振周波数で発振する。したがって、前段の広帯域増幅回路21Gからの出力信号は所望される受信チャネルに対応の周波数またはそれ以上の周波数以外の信号成分は可変型トラップ回路241により吸収（減衰）された後に、次段の減衰回路211に与えられる。

【0122】図15の回路において、コンデンサC13とC14は1000pF、および抵抗R58は47kΩの値を有する。その他のかく素子の値は図11のそれと同じである。

【0123】図11、図12、図13および図15の各回路はいずれもローカルリケージの低減のための回路であるが、各回路を併用してさらに特性改善が図られたケーブルモデム用チューナを得ることができる。

【0124】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【図面の簡単な説明】

【図1】この発明の実施の形態1によるケーブルモデム用チューナのブロック図である。

【図2】図1の入力端子における受信周波数と入力リターンロスとの関係をグラフにして示す図である。

【図3】この発明の実施の形態1における実施例1に係る広帯域増幅回路のブロック構成図である。

【図4】この発明の実施の形態1における実施例2に係

17

る広帯域増幅回路のブロック図である。

【図 5】この発明の実施の形態 1 における実施例 3 に係る広帯域増幅回路のブロック図である。

【図 6】この発明の実施の形態 2 によるケーブルモデム用チューナのブロック図である。

【図 7】この発明の実施の形態 2 における実施例 1 に係る広帯域増幅回路と信号分配回路のブロック図である。

【図 8】この発明の実施の形態 2 における実施例 2 に係る広帯域増幅回路と信号分配回路のブロック図である。

【図 9】この発明の実施の形態 3 におけるケーブルモデム用チューナのブロック図である。

【図 10】図 9 の LPF における入力信号の周波数と減衰量との関係をグラフにして示す図である。

【図 11】この発明の実施の形態 3 における実施例 1 に係る広帯域増幅回路と LPF のブロック構成図である。

【図 12】この発明の実施の形態 3 における実施例 2 に係る広帯域増幅回路と LPF のブロック図である。

【図 13】図 11 と図 12 の LPF が併用された回路構成を示す図である。

【図 14】この発明の実施の形態 4 によるケーブルモデム用チューナのブロック構成図である。

18

【図 15】この発明の実施の形態 4 における実施例 1 に係る広帯域増幅回路と可変型トラップ回路のブロック図である。

【図 16】従来のケーブルモデム用チューナのブロック図である。

【図 17】図 16 の入力端子における受信周波数と入力リターンロスとの関係をグラフにして示す図である。

【符号の説明】

2 HPF

3～5 RF 増幅入力同調回路

6 および 8 RF 増幅器

16～18 RF 増幅出力同調回路

9 および 13 混合回路

10 および 14 局部発振回路

21、21A～21G 広帯域増幅回路

22、22A および 22B 信号分配回路

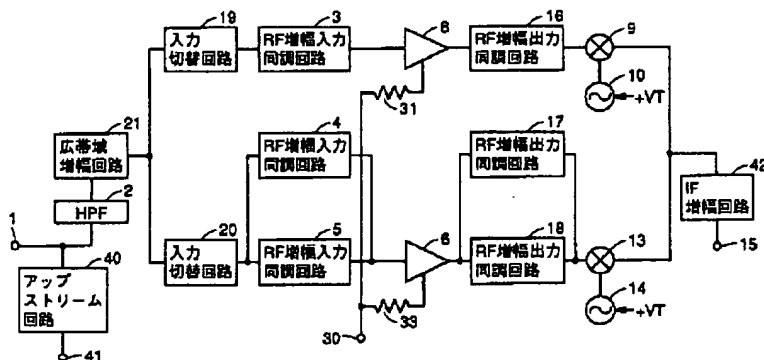
23、231 および 232 LPF

24、241 可変型トラップ回路

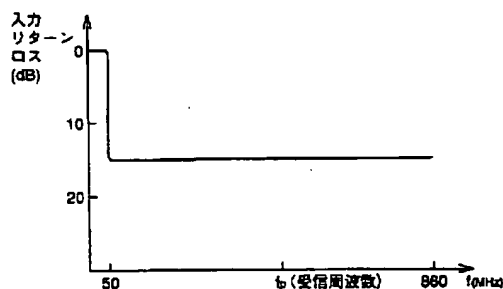
211 減衰回路

なお、各図中同一符号は同一または相当部分を示す。

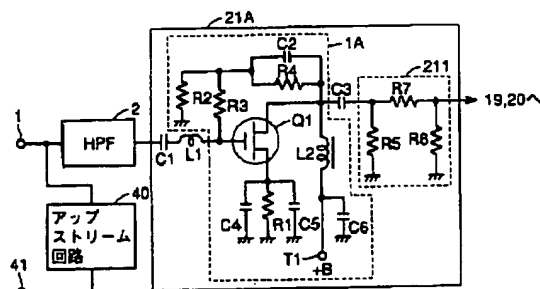
【図 1】



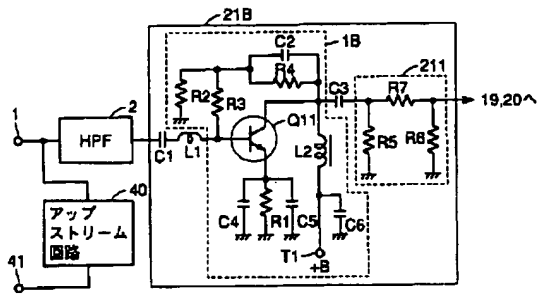
【図 2】



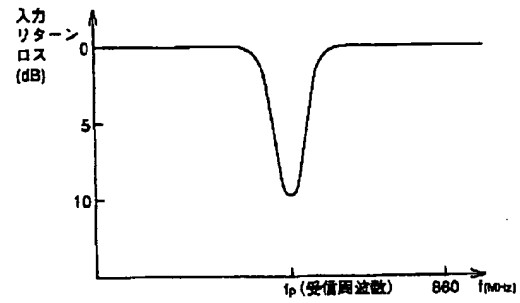
【図 3】



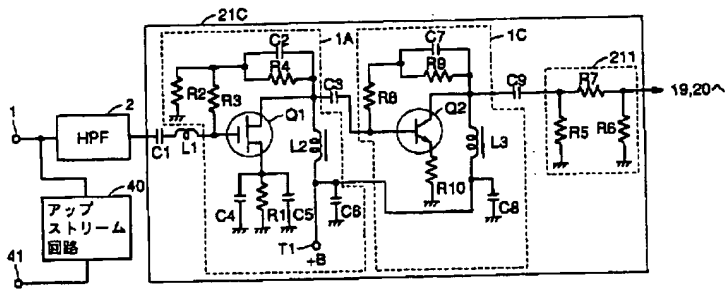
【図 4】



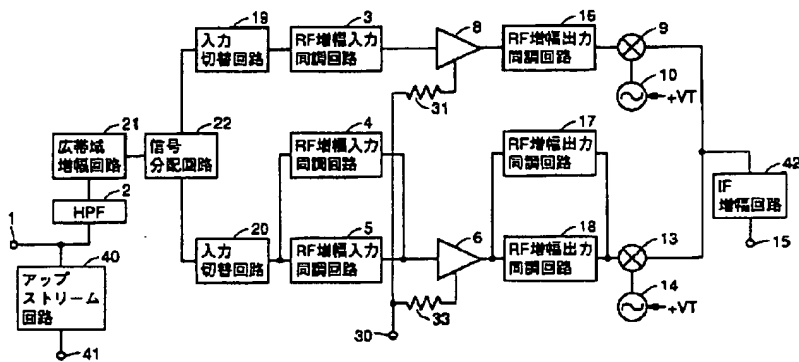
【図 17】



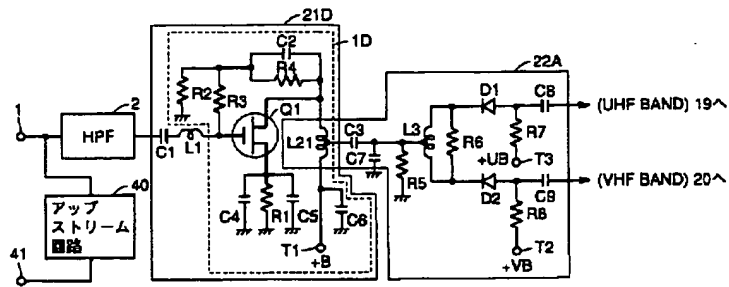
【図 5】



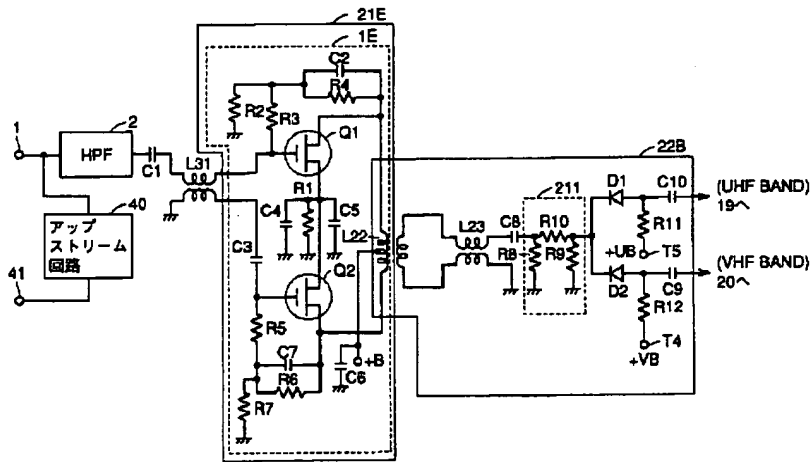
【図 6】



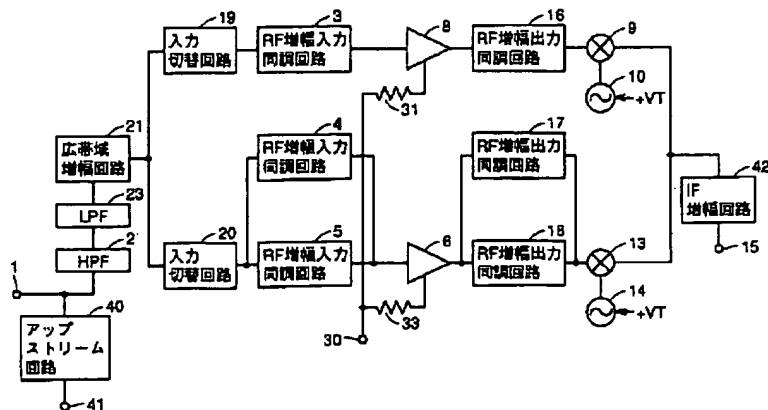
【図 7】



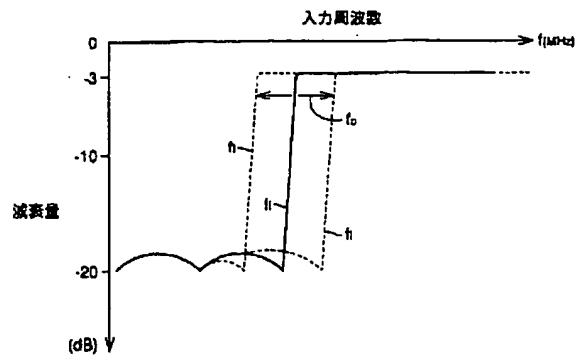
【図 8】



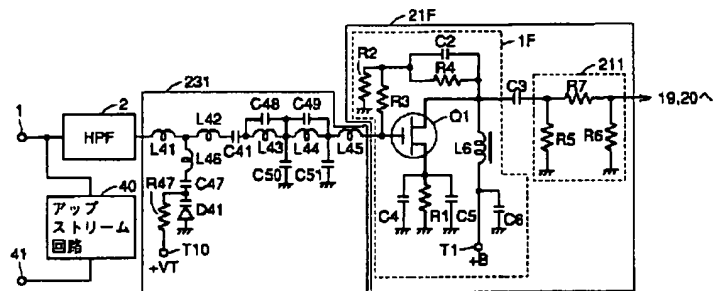
【図 9】



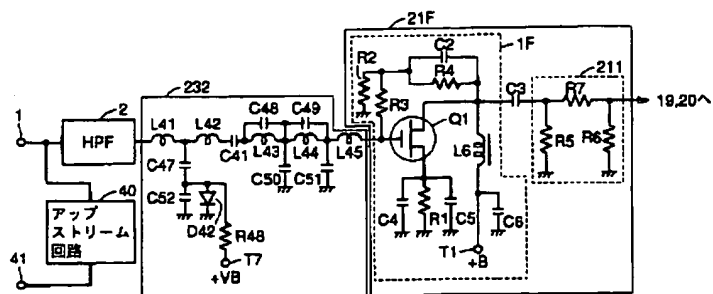
【図 10】



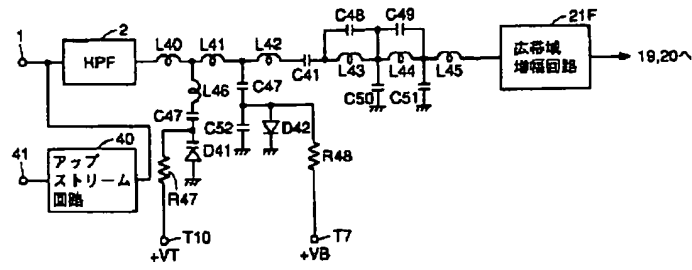
【図 11】



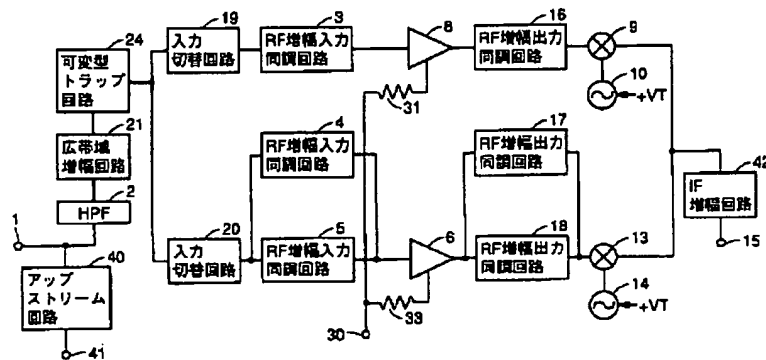
【図 12】



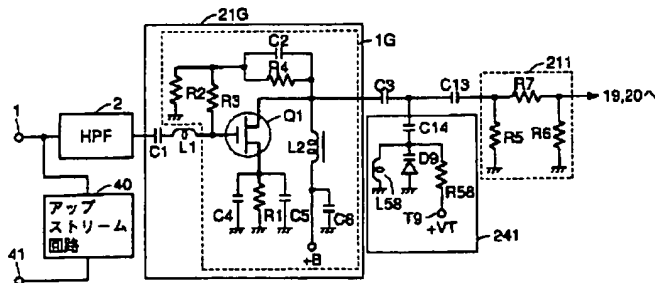
【図13】



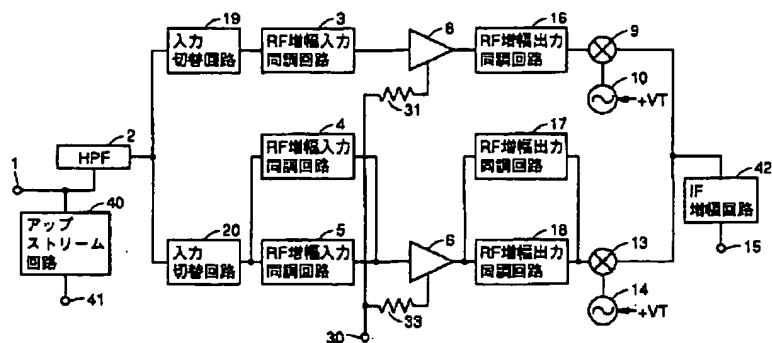
【図14】



【図15】



【図 16】



フロントページの続き

F ターム(参考) 5C025 AA25
 5C064 BA01 BB05 BC20
 5J024 AA02 BA03 BA07 CA03 CA20
 DA01 DA25 EA01 FA01
 5J081 BB03 CC01
 5J103 AA16 BA03 BA07 CA07 CB05
 DA01 DA03 DA04 DA06 DA16
 DA17 EA01 EA03 EA05 EA08
 EA11